



Projeto n.º 47210

A2 - Requisitos e Especificações Técnicas

E2.1 – Especificação da arquitetura SPCC e automação da rede de MT e definição de tecnologias

Autor	EFACEC, INESC TEC
Nível de Divulgação	Confidencial
Data	2022-06-30
Revisão	1.0
Páginas	45
Palavras-Chave (<i>keywords</i>)	Centralized Protection System, MV protection and automation, Virtualization, cybersecurity, Merging Units

Resumo do Projeto

O projeto SCALE perspetiva o desenvolvimento de uma plataforma para subestação de distribuição digital, que permita o controlo, monitorização e proteção de redes energéticas de média tensão de forma centralizada. Esta solução, projetando e desenvolvendo sistemas de proteção centralizados para subestações, desafia, não só, as arquiteturas de subestação digital atuais, baseadas em comunicações óticas, mas também outras temáticas basilares, como as infraestruturas e soluções cloud-based, big data e data privacy. A solução a desenvolver consistirá, assim, numa arquitetura inovadora e de alto valor acrescentado face aos atuais sistemas disponibilizados.

Projeto SCALE é financiado por



UNIÃO EUROPEIA
Fundo Europeu
de Desenvolvimento Regional

Documento

Projeto	SCALE	
Nome do Projeto	<i>Scalable Centralized Grid Protection, Automation and Control</i>	
Número do Projeto	47210	
Título do Documento	Especificação da arquitetura SPCC e automação da rede de MT	
Revisão e Data	1.0	2022-06-30
Editor	INESC TEC	
Revisor	EFACEC	
Autores	EFACEC, INESC TEC	
Páginas	45	

Copyright © Promotores do Projeto SCALE.

Todos os direitos reservados.

Este documento contém informações proprietárias dos Promotores do Projeto SCALE, legalmente protegidas por direitos do autor e de propriedade industrial e, como tal, este documento não pode ser copiado, fotocopiado, reproduzido, traduzido ou convertido para o formato eletrônico, na íntegra ou em parte, sem a autorização prévia por escrito dos proprietários. Nada neste documento deve ser interpretado como concessão de licença para fazer uso de qualquer software, informação ou produtos mencionados no documento.

Revisões

Rev.	Data	Comentários	Autor
1.0	2022/06/30	Versão final	EFACEC, INESC TEC

Glossário

A/D	Analogue / Digital
AC	Alternating Current
APDU	Application protocol data unit
APPID	Application identifier
ASDU	Application Service Data Unit
BIED	Breaker Intelligent Electronic Device
CPC	Centralized Protection Control
CPU	Central Process Unit
CT	Current Transformer
DC	Direct Current
DoS	Denial-of-Service
EMC	Electromagnetic compatibility
FFT	Fast Fourier Transform
FPGA	Field Programmable Gate Array
GOOSE	Generic Object-Oriented Substation Event
HMI	Human-machine Interface
HSR	High-availability Seamless Redundancy
HV	High Voltage
I/O	Input / Output
ICT	Information and Communications technology
IEC	International Electrotechnical Commission
IED	Intelligent Electronic Device
IEEE	Institute of Electrical and Electronics Engineers
ISO	International Organization for Standardization
LDAP	Lightweight Directory Access Protocol
MMS	Manufacturing Message Specification
MU	Merging Unit
MV	Medium Voltage
NO	Normally Open
NTP	Network Time Protocol
P&C	Protection and Control

PIED	Process Intelligent Electronic Device
PIU	Process Interface Unit
PMU	Phasor Measurement Unit
PRP	Parallel Redundancy Protocol
PTP	Precision Time Protocol
RMS	Root Mean Square
RTDB	Real Time Database
SAMU	Stand Alone Merging Unit
SAT	Site Acceptance Test
SIED	Switch Intelligent Electronic Device
SNMP	Simple Network Management Protocol
SNTP	Simple Network Time Protocol
SPCC	<i>Sistema de Proteção, Comando e Controlo</i>
SOE	Sequence of Events
SV	Sampled Value
TCS	Trip circuit supervision
TLS	Transport Layer Security
VM	Virtual Machine
VT	Voltage Transformer

Index

- 1. INTRODUCTION 8**
 - 1.1 DOCUMENT OUTLINE8
- 2. FUNCTIONAL ARCHITECTURE OF CENTRALIZED PROTECTION CONTROL (CPC) AND MV AUTOMATION 9**
 - 2.1 ALTERNATIVE ARCHITECTURES FOR CPC IMPLEMENTATION9
 - 2.2 AUTOMATION OF THE MV NETWORKS 11
 - 2.2.1 MAPPING OF MV NETWORK ELEMENTS ON IEC 61850 DATA MODELS14
 - 2.2.2 MV NETWORK EQUIPMENT SPECIFICATION16
- 3. FUNCTIONAL ARCHITECTURE OF THE CPC..... 17**
- 4. FUNCTIONAL ARCHITECTURE OF THE MERGING UNIT (MU) 23**
- 5. TECHNOLOGY DEFINITION FOR CENTRALIZED PROTECTION AND CONTROL SYSTEM 25**
 - 5.1 DEVICE CPC25
 - 5.1.1 VIRTUALIZATION.....25
 - 5.1.2 COMMUNICATION MODULE25
 - 5.1.3 ADVANCED APPLICATION26
 - 5.1.4 CYBERSECURITY26
 - 5.2 DEVICE MERGING UNIT / PROCESS INTERFACE UNIT27
- 6. REFERENCES 28**
- 7. ANNEXES..... 29**
 - 7.1 MICROCONTROLLERS29
 - 7.2 APPLICATION SPECIFIC INTEGRATED CIRCUITS (ASICs)29
 - 7.3 FIELD PROGRAMMABLE GATE ARRAYS (FPGAs)30
 - 7.3.1 INTRODUCTION30
 - 7.3.2 INTERNAL ARCHITECTURE OF AN FPGA30
 - 7.3.3 PROGRAMMABILITY33
 - 7.3.4 LANGUAGES USED IN FPGA PROGRAMMING34
 - 7.4 BUILT IN APPLICATION FUNCTIONS34
 - 7.4.1 PROTECTION34
 - 7.4.2 CONTROL AND SUPERVISION38
 - 7.4.3 MONITORING AND RECORDING40
 - 7.5 ADVANCED FUNCTIONALITIES FOR MV41
 - 7.5.1 AUTOMATIC VOLTAGE REGULATION42
 - 7.5.2 ABNORMAL AND ERRONEOUS MEASUREMENTS AND STATUS DETECTION43
 - 7.5.3 MV NETWORK SELF-HEALING44
 - 7.5.4 ADAPTIVE PROTECTION SETTINGS45

Figures

FIGURE 1 – SINGLE CPC ARCHITECTURE.....9

FIGURE 2 – REDUNDANT CPC ARCHITECTURE10

FIGURE 3 – HYBRID SOLUTION ARCHITECTURE.....11

FIGURE 4 – TYPICAL MV FEEDER12

FIGURE 5 – COMMUNICATIONS REPRESENTATION FOR SUBSTATION AND MV NETWORK.....12

FIGURE 6 – REPRESENTATION OF EQUIPMENT AND DEVICES ON IEC 61850 LOGICAL NODES AND COMMUNICATIONS BUSES, (A): WITHIN SUBSTATIONS AND (B) OVER THE MV NETWORK14

FIGURE 7 – FUNCTIONAL DIAGRAM OF A P&C IED.....17

FIGURE 8 – FUNCTIONAL DIAGRAM OF A SYSTEM COMPRISED OF A MU / PIU AND A BAY IED.....19

FIGURE 9 – FUNCTIONAL DIAGRAM OF A CPC DEVICE20

FIGURE 10 – FUNCTIONAL DIAGRAM OF THE COMPONENTS MANAGED AS A VIRTUAL IED.....21

FIGURE 11 – FUNCTIONAL DIAGRAM OF THE COMPONENTS CONSIDERED GLOBAL TO THE CPC.21

FIGURE 12 – CPC CONFIGURATION IN ENGINEERING TOOL (AUTOMATION STUDIO).22

FIGURE 13 – MU / PIU FUNCTIONAL DIAGRAM.23

FIGURE 14 - HIGH-LEVEL BLOCK DIAGRAM OF MICROCONTROLLER29

FIGURE 15 - INTERNAL ARCHITECTURE OF AN FPGA31

FIGURE 16 - BLOCK DIAGRAM OF A QUARTER OF A SLICE IN THE XILINX 7 SERIES31

FIGURE 17 - INTEL STRATIX 10 ALM HIGH-LEVEL BLOCK DIAGRAM32

FIGURE 18 - BASIC DSP FUNCTIONALITY IN THE XILINX 7 SERIES.....32

FIGURE 19 - DSP BLOCK DIAGRAM IN THE INTEL STRATIX 10 FPGAS33

Tables

TABLE 1 – MV EQUIPMENT, WITH RESPECTIVE INTERFACE AND TYPE OF DATA MAINLY EXCHANGED OVER THE COMMUNICATIONS ARCHITECTURE13

TABLE 2 – IEC 61850 COMMUNICATION ARCHITECTURE FOR MV EQUIPMENT.14

TABLE 3 – DATA TYPES18